

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

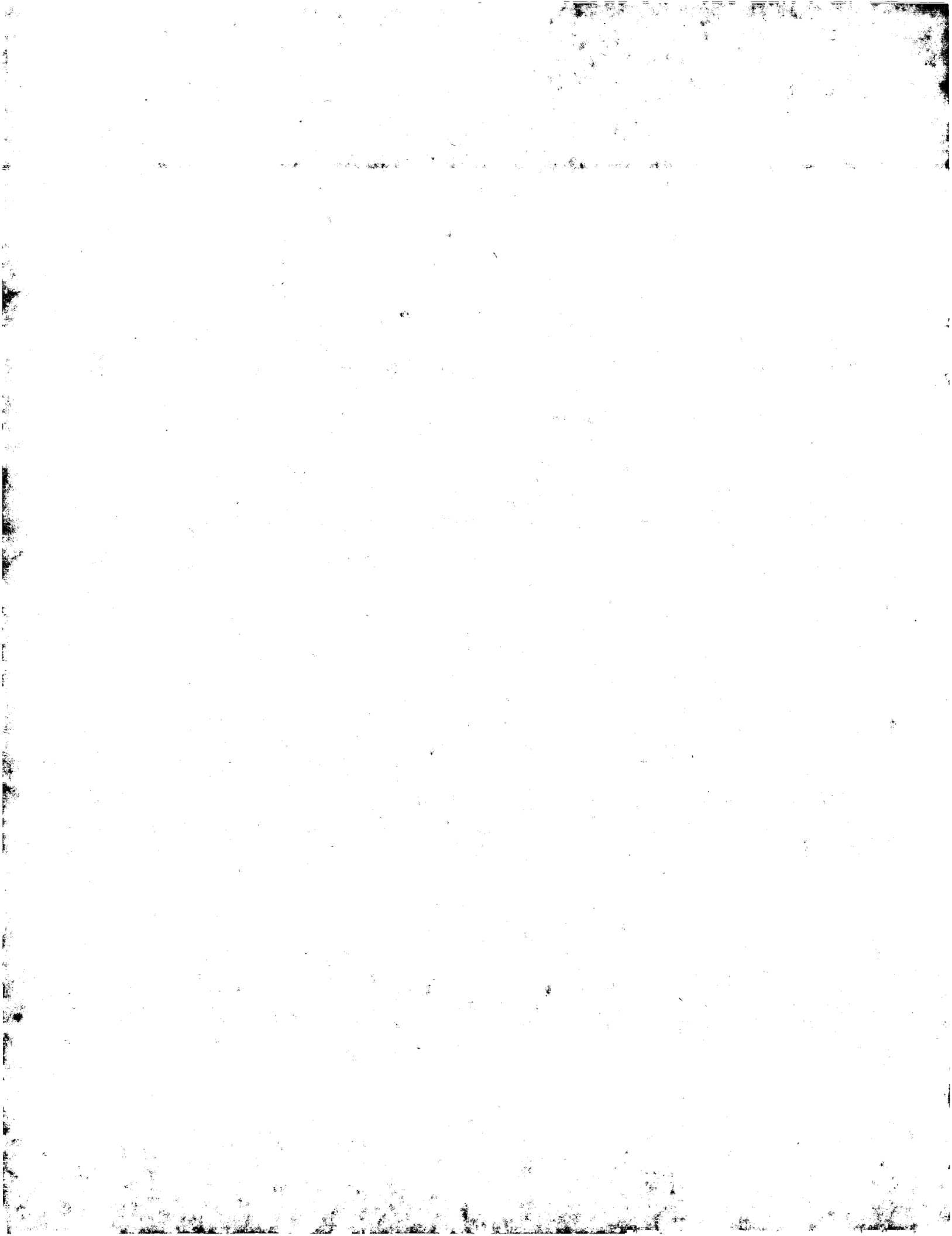
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS ✓
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**





KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010058584 (43) Publication.Date. 20010706

(21) Application No.1019990065934 (22) Application Date. 19991230

(51) IPC Code:

H01L 23/12

(71) Applicant:

AMKOR TECHNOLOGY KOREA, INC.

(72) Inventor:

BINSENTEUDIKAPEURIO

SHIN, WON SEON

SIM, IL GWON

(30) Priority:

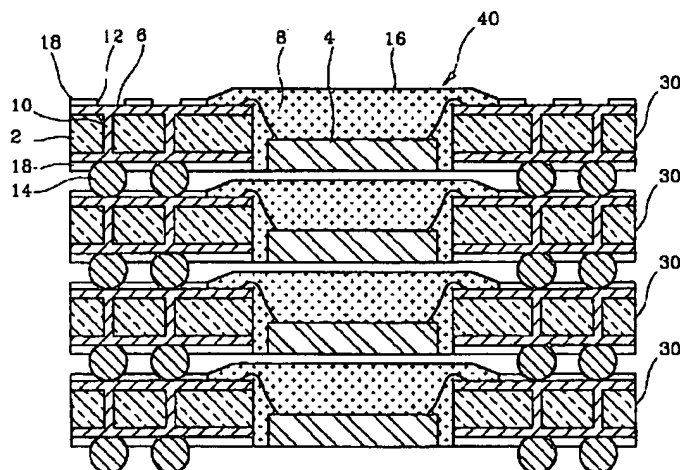
(54) Title of Invention

SEMICONDUCTOR PACKAGE

Representative drawing

(57) Abstract:

PURPOSE: A semiconductor package is provided to increase a mounting density and a memory capacity by laminating a multitude of semiconductor package having thin thickness.



CONSTITUTION: A semiconductor chip(4) is located on within a well region of a center portion of a printed circuit board(2). A connection portion(8) connects an input/output pad of the semiconductor chip(4) with a circuit pattern of the printed circuit board(2). A multitude of conductive via hole(10) connects electrically a circuit pattern(6) of an upper face of the printed circuit board(2) with a circuit pattern of a lower face of the printed circuit board(2). A multitude of solder ball land(12) is formed on the upper face and

the lower face of the printed circuit board(2). A resin encapsulant(16) protects the semiconductor chip(4) and the connection portion(8) from the outside.

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 23/12

(11) 공개번호
(43) 공개일자

목2001-0058584
2001년07월06일

| | |
|-----------|--|
| (21) 출원번호 | 10-1999-0065934 |
| (22) 출원일자 | 1999년12월30일 |
| (71) 출원인 | 앵코 테크놀로지 코리아 주식회사, 마이클 디. 오브라이언 대한민국 500-470 광주 북구 대촌동 957 |
| (72) 발명자 | 심일권 대한민국 139-050 서울특별시노원구월계동436동신@3-1108 빈센트디카프리오 캐나다 미합중국아리조나주85207메사3420노스마운틴릿지#61 신원선 대한민국 472-900 경기도남양주시와부읍덕소리현대아파트101-109호 |
| (74) 대리인 | 서만규 |
| (77) 심사청구 | 있음 |
| (54) 출원명 | 반도체패키지 |

요약

본 발명은 반도체패키지에 관한 것으로, 반도체패키지의 두께를 초박형으로 하는 동시에, 그 반도체패키지를 다수개로 용이하게 적층하여 사용할 수 있음으로써 실장밀도 및 메모리용량을 극대화하기 위한 것으로, 상하면에 회로패턴이 형성된 인쇄회로기판 중앙의 웰지역내에 위치하며 그 하면이 상기 회로패턴의 하면과 동일선상을 이루는 반도체칩과, 상기 반도체칩의 입/출력패드와 상기 인쇄회로기판 상면의 회로패턴을 전기적으로 접속하기 위한 접속수단과, 상기 회로 기판 상면 및 하면의 회로 패턴을 전기적으로 연결하는 다수의 도전성비아홀과, 상기 회로 기판 상면 및 하면의 회로 패턴상에 형성되는 솔더볼이 융착되는 다수의 솔더볼 랜드와, 상기 반도체칩 및 접속수단을 외부의 환경으로부터 보호하기 위한 수지봉지부로 구성되는 것을 특징으로 한다.

대표도

도2

명세서

도면의 간단한 설명

도1은 종래의 적층형 반도체패키지를 도시한 단면도이다.

도2는 본 발명에 의한 반도체패키지의 일실시예를 도시한 단면도이다.

도3은 본 발명에 의한 반도체패키지의 다른 실시예를 도시한 단면도이다.

- 도면중 주요 부분에 대한 부호의 설명 -

2 : 회로 기판○○○○○4 ; 반도체 칩

6 ; 회로 패턴 ○○○○8 ; 접속수단

10 : 비아홀 ○○○○12 ; 솔더볼랜드

14 : 솔더볼○○○○○16 ; 수지봉지부

18 : 솔더마스크○○○○○20 ; 들출 패드

30 : 반도체패키지

40 ; 적층된 반도체 패키지

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체패키지에 관한 것으로, 보다 상세하게 설명하면 반도체패키지의 두께를 초박형으로 하는 동시에, 그 반도체패키지를 다수개로 용이하게 적층하여 사용할 수 있음으로써 실장밀도 및 메모리용량을 극대화시킬 수 있는 반도체패키지에 관한 것이다.

최근, 반도체칩의 급속한 고집적 소형화 및 고성능화 추세에 따라 전자 기기나 가전 제품들도 소형화 및 고성능화되어 가고 있으므로, 이러한 추세에 따라 반도체 패키지에 있어서도 고집적 소형화 및 고성능화된 반도체 칩의 성능이 최적으로 구현될 수 있도록 우수한 전기적 성능 및 메모리의 대용량화가 요구되고 있다.

이러한 요구에 부응하여, 반도체 패키지의 두께를 초박형으로 하는 동시에, 메모리용반도체소자를 위한 패키징 기술에 있어, 동일한 면적에서 보다 많은 메모리 용량을 확보하기 위해서 실장밀도를 증가시키는 방법의 하나로써 종래에 리드프레임을 이용한 반도체패키지 또는 볼그리드어레이(Ball Grid Array)반도체패키지(이하 BGA패키지로 칭함)를 수직으로 적층한 채 마더보드에 실장하는 기술이 알려져 있다.

상기의 반도체패키지 중에서 최근의 BGA패키지(30')를 이용한 적층형 반도체패키지(40')를 도1에 도시하였다.

도시된 바와 같이 종래 적층형 반도체패키지(40')는 다수의 BGA패키지(30')를 일렬로 쌓아 놓은 형태를 한다. 상기 각각의 BGA패키지(30') 구조는 상하면에 회로패턴(6)이 형성된 인쇄회로기판(2) 중앙의 웰지역에 반도체칩(4)이 위치하고 있고, 상기 반도체칩(4)의 입/출력패드(도시되지 않음)는 인쇄회로기판(2) 상면에 전도체로 형성된 회로패턴(6)에 전도성와이어(8)로 본딩되어 있으며, 상기 하면의 회로패턴(6)은 상면의 회로패턴(6)과 전도성비아홀(10)을 통해 전기적으로 연결되어 있으며, 하면의 회로패턴(6)에는 다수의 솔더볼랜드(12)가 형성되어 있으며, 상기 솔더볼랜드(12)에는 솔더볼(14)이 용착되어 있으며, 상기 인쇄회로기판(2)의 상면은 반도체칩(4) 및 전도성와이어(8) 등을 외부의 환경으로부터 보호하기 위해 봉지재로 봉체(16)가 형성되어 있다. 여기서 상기 인쇄회로기판(2) 상면에 형성된 회로패턴(6)은 외부로 직접 노출되어 있고, 상기 회로패턴(6)에는 상부를 향하여 돌출된 돌출패드(20)가 형성되어 있다.

이러한 구조를 하는 BGA패키지는 반도체 칩의 회로기판의 중앙의 웰지역내에 위치하고 있음으로 보다 박형화된 패키지의 제조가 가능하며, 그 실장 밀도를 증대하기 위해 하나의 BGA패키지 상면에 또 다른 BGA패키지를 용착하되 상면의 BGA패키지의 하면에 형성된 솔더볼을 그 하면의 BGA패키지 상면에 형성된 돌출패드에 용착하는 방법으로 다수개를 적층함으로써 실장밀도를 증대시키고 있다.

하지만, 이러한 종래의 적층형 반도체패키지에 있어서는 각각의 BGA패키지 의 인쇄회로기판 상부 주변 둘레에 돌출패드를 형성하고 그 돌출패드에 솔더볼을 용착하는 방법을 사용하고 있음으로, 이러한 돌출 패드를 별도로 형성해야 하는 번거로운 점이 있으며, 또한, 돌출패드만큼의 높이가 커짐으로써 결국 전자기기의 두께를 축소하는 데는 한계가 있었다.

또한, 이러한 종래의 각각의 반도체 패키지에 있어서는, 단일의 패키지에 단일의 칩이 탑재되어 있음으로, 단일의 패키지의 메모리용량의 극대화 및 메모리 칩의 실장밀도의 증대에 한계가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 본 발명의 첫 번째 목적은 인쇄회로 기판의 상하부에 각각 솔더볼 랜드를 형성하는 것에 의해 반도체패키지를 다수개로 용이하게 적층하여 사용할 수 있음으로써 보다 박형화되고 실장밀도 및 메모리용량을 극대화시킬 수 있는 반도체패키지를 제공하는데 있다.

본 발명의 두 번째 목적은, 단일의 반도체 패키지에 적어도 두 개 이상의 적층된 반도체 칩을 위치시키는 것에 의해 반도체 칩의 실장밀도 및 반도체 패키지의 메모리 용량을 극대화시킬 수 있는 반도체 패키지를 제공하는 데 있다.

발명의 구성 및 작용

•상기한 첫 번째 목적을 달성하기 위해 본 발명에 의한 반도체패키지는, 상하면에 회로패턴이 형성된 인쇄회로기판 중앙의 웰지역에 위치하며 그 하면이 상기 회로패턴의 하면과 동일선상을 이루는 반도체칩과, 상기 반도체칩의 입/출력패드와 상기 인쇄회로기판 상면의 회로패턴을 전기적으로 접속하기 위한 접속수단과, 상기 회로 기판 상면 및 하면의 회로 패턴을 전기적으로 연결하는 다수의 도전성 비아홀과, 상기 회로 기판 상면 및 하면의 회로 패턴상에 형성되는 솔더볼이 용착되는 다수의 솔더볼 랜드와, 상기 반도체칩 및 접속수단들을 외부의 환경으로부터 보호하기 위한 수지봉지부로 구성된다.

•또한, 상기 반도체 칩은 적어도 2개 이상을 적층형성하여 각각의 반도체 칩의 입/출력패드와 상기 회로 기판 상면의 회로 패턴과 접속수단에 의해 전기적으로 접속될 수도 있다.

•또한, 각각의 상기 반도체 패키지 회로기판 하면의 다수의 솔더볼랜드에 다수의 솔더볼을 용착한 다음, 하나의 반도체 패키지의 회로기판 하면의 다수의 솔더볼을 다른 반도체 패키지의 회로기판 상면의 다수의 솔더볼 랜드에 용착하여 수직의 동일한 형태로 다수개 적층된 반도체 패키지로 제조할 수 있다.

이하 본 발명이 속하는 기술분야에서 통상의 지식을 가진자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

•도2는 본 발명에 의한 적층형 반도체패키지의 일 실시예를 도시한 단면도로서, 도 1과 비교해서, 각각의 반도체 패키지(40)의 회로 기판(2)의 상하면의 회로패턴(6)상에 코팅되어 상기 도전성 회로 패턴 상호간을 절연 및 보호하는 솔더 마스크(18)가 형성된 점과, 각각의 반도체 패키지(40)의 회로 기판 상면 및 하면의 회로 패턴(6)상에 모두 다수의 솔더볼 랜드(12)가 형성된 점을 제외하고는 실질적으로 동일함으로 더 이상의 부연 설명은 생략하기로 한다.

•도 2에 도시된 바와 같이, 각각의 상기 반도체 패키지(30)의 회로기판(2) 하면의 다수의 솔더볼랜드(12)에 다수의 솔더볼(14)을 용착한 다음, 하나의 반도체 패키지의 회로기판(2) 하면의 다수의 솔더볼(12)을 다른 반도체 패키지의 회로기판(2) 상면의 다수의 솔더볼 랜드(12)에 용착하여 수직의 동일한 형태로 4개의 반도체 패키지(30)가 적층 형성된 반도체 패키지(40)로 제조한 것이다.

•본 실시예에 있어서는 회로기판(2)의 상면의 회로패턴(6)상에 간단하게 솔더볼 랜드(12)를 형성하여 솔더볼(14)이 용착되는 것임으로, 각각의 반도체 패키지를 수직으로 적층할 때, 회로 기판상에 적층을 위한 별도의 구조의 변경없이 용이하게 적층이 이루어질 수가 있게 된다. 또한, 하나의 회로 기판 상면에 솔더볼 랜드에 다른 패키지의 솔더볼이 용착되는 것임으로, 종래의 돌출패드(20)(도 1 참조)가 구비된 적층형 반도체 패키지(도 1 참조)와 비교하여 돌출패드만큼의 높이를 줄일 수 있음으로 보다 초박형의 적층형 반도체 패키지의 제조가 가능하게 되는 것이다.

•도 3은 본 발명에 의한 다른 실시예에 따른 반도체 패키지의 단면도로서, 도 2의 각각의 반도체 패키지에 있어, 반도체 칩(4)이 2개 적층형성된 점으로 제외하고는 실질적으로 동일하다.

•본 실시예에 있어서는, 반도체 칩(4)이 2개 적층형성되는 것이 바람직하나, 회로 기판의 두께가 허락하는 한, 2개 이상의 적층형성된 초박형(바람직하게는 칩의 두께가 0.8mm 이하이다)의 반도체 칩도 가능하며, 또한, 이러한 2개 이상이 적층 형성된 반도체 칩을 갖는 각각의 반도체 패키지를 도 2와 같이, 적층 형성할수 있음은 물론이다.°

발명의 효과

따라서 상술한 바와 같이, 본 발명은 인쇄회로 기판의 상하부에 각각 솔더볼 랜드를 형성하는 것에 의해 보다 용이하게 적층형 반도체가 제조가 가능함으로써 박형화되고 실장밀도 및 메모리용량을 극대화시킬 수가 있으며, 또한, 단일의 반도체 패키지에 적어도 두 개 이상의 적층된 반도체 칩을 위치시키는 것에 의해 반도체 칩의 실장밀도 및 반도체 패키지의 메모리 용량을 극대화시킬 수 있다.

(57) 청구의 범위

청구항 1.

- 상하면에 회로패턴이 형성된 인쇄회로기판 중앙의 웰지역내에 위치하며 그 하면이 상기 회로패턴의 하면과 동일선상을 이루는 반도체칩과,
- 상기 반도체칩의 입/출력패드와 상기 인쇄회로기판 상면의 회로패턴을 전기적으로 접속하기 위한 접속수단과,
- 상기 회로 기판 상면 및 하면의 회로 패턴을 전기적으로 연결하는 다수의 도전성 비아홀과,
- 상기 회로 기판 상면 및 하면의 회로 패턴상에 형성되는 솔더볼이 용착되는 다수의 솔더볼 랜드와,
- 상기 반도체칩 및 접속수단등을 외부의 환경으로부터 보호하기 위한 수지봉지부로 구성되는 것을 특징으로 하는 반도체 패키지.

청구항 2.

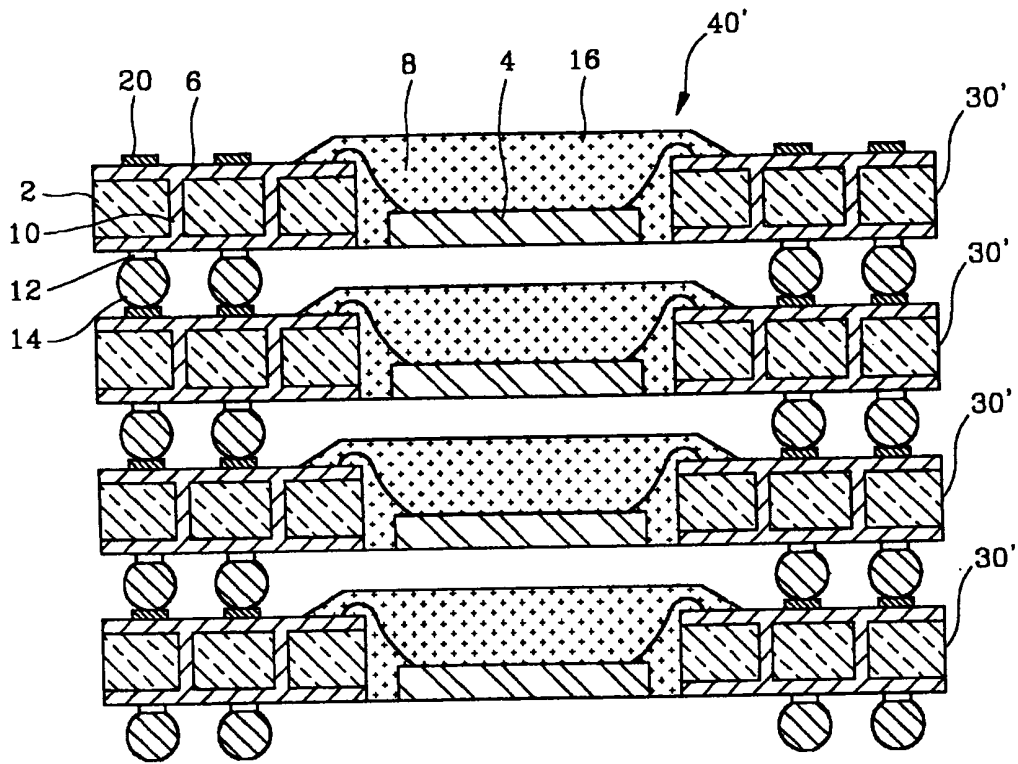
- 청구항 1에 있어서, 상기 반도체 칩이 적어도 2개 이상 적층형성 되며, 각각의 반도체 칩의 입/출력패드와 상기 회로 기판 상면의 회로 패턴이 접속수단에 의해 전기적으로 접속되는 것을 특징으로 하는 반도체 패키지.

청구항 3.

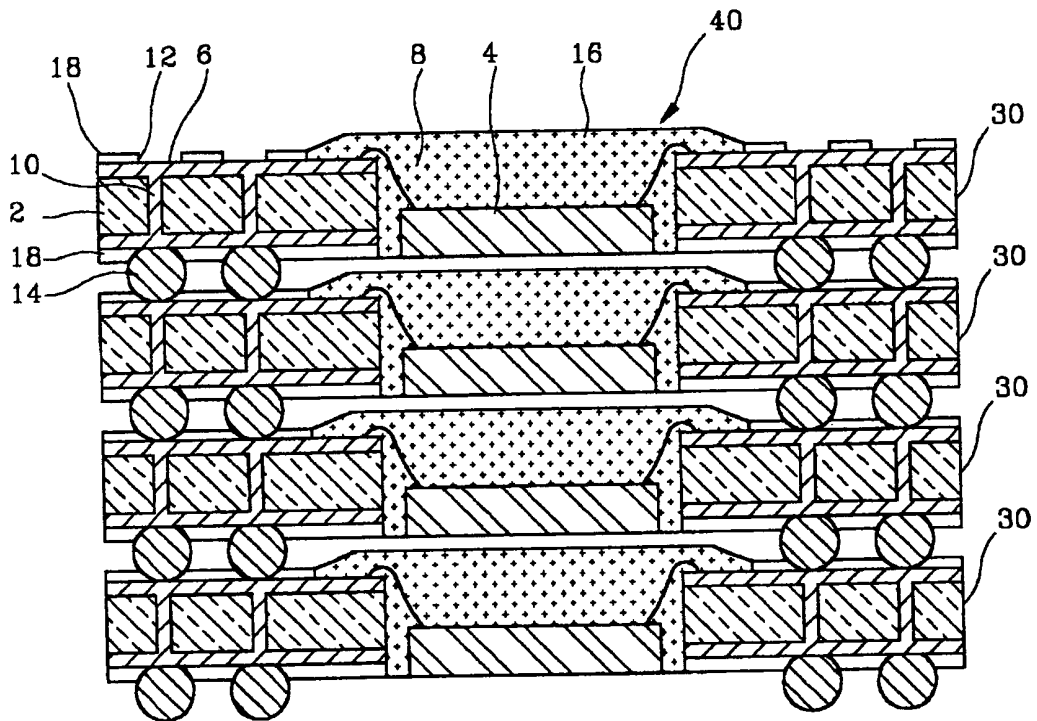
- 청구항 1 또는 2에 있어서, 각각의 상기 반도체 패키지 회로기판 하면의 다수의 솔더볼랜드에 다수의 솔더볼을 용착한 다음, 하나의 반도체 패키지의 회로기판 하면의 다수의 솔더볼을 다른 반도체 패키지의 회로기판 상면의 다수의 솔더볼 랜드에 용착하는 것에 의해 수직의 동일한 형태로 다수개 적층된 반도체 패키지인 것을 특징으로 하는 반도체 패키지.

도면

도면 1



도면 2



도면 3

